

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP401093169A

PAT-NO: JP401093169A

DOCUMENT-IDENTIFIER: JP 01093169 A

TITLE: POWER SEMICONDUCTOR ELEMENT

PUBN-DATE: April 12, 1989

INVENTOR-INFORMATION:

NAME

NISHIZAWA, JUNICHI

TAMAMUSHI, NAOSHIGE

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SEMICONDUCTOR RES FOUND

N/A

APPL-NO: JP62250254

APPL-DATE: October 2, 1987

INT-CL (IPC): H01L029/74

US-CL-CURRENT: 257/107

ABSTRACT:

PURPOSE: To shorten turn-off time by a method wherein a short region is planarly sandwiched between or surrounded with anode regions and the pitch between the anode regions is specified.

CONSTITUTION: On a high-resistance semiconductor substrate, p<SP>+</SP> anode sections 6 and n<SP>+</SP> anode short sections 5 in contact with said p<SP>+</SP> anode sections 6 are formed. An anode section 6 and an anode short section 5 are short-circuited by an anode electrode 8. An anode short section 5 is planarly sandwiched between or surrounded with anode sections 6. Depletion layers of a width Wp, spreading toward an n<SP>-</SP> high-resistance

layer 4 and dependent upon the diffusion potential between an anode section 6 and the n -type high-resistance layer 4, connect or are in contact with each other at a location between two anode sections 6, and the pitch L between two anode sections 6 is so set that it will be not more than twice L_n that is the diffusion distance of electrons. This design reduces turn-off time.

COPYRIGHT ©1989 JPO&Japio

⑫ 公開特許公報(A)

平1-93169

⑬ Int. Cl.

H 01 L 29:74

識別記号

庁内整理番号

A-7376-5F

C-7376-5F

M-7376-5F

N-7376-5F

⑭ 公開 平成1年(1989)4月12日

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 電力用半導体系子

⑯ 特 願 昭62-250254

⑰ 出 願 昭62(1987)10月2日

⑱ 発 明 者 西 澤 潤 一 宮城県仙台市米ヶ袋1丁目6番16号

⑲ 発 明 者 玉 蟲 尚 茂 宮城県仙台市角五郎1丁目3番8号

⑳ 出 願 人 財団法人半導体研究振 宮城県仙台市川内(番地なし)
興会

明 細 書

1. 発明の名称 電力用半導体系子

2. 特許請求の範囲

高抵抗半導体基板に対してそれぞれ形成された第1の導電型のアノード領域と、前記アノード領域に隣接した第2の導電型のショート領域と、前記アノード領域及びショート領域を短絡するアノード電極から形成された構造を有する電力用半導体系子において前記ショート領域は前記アノード領域によって平面的に挟まれるか囲まれていて、かつ前記アノード領域より高抵抗半導体基板へ広がる空乏層が、互いに複数のアノード領域間でつながっていてかつ前記ショート領域の前面の高抵抗半導体基板領域を空乏化するべく、前記複数のアノード領域間の寸法ピッチを前記アノード領域に対する少数キャリアの拡散距離の2倍以下となされたことを特徴とする電力用半導体系子。

① 発明が属する技術分野

本発明は、電力用半導体系子に関する。

本発明は、電力用半導体系子に関し、特にサイリスタ、GTO、IGBT、MOSゲートサイリスタ等のサイリスタ構造を有する素子のアノード短絡構造に工夫を加え、順方向電圧降下を犠牲にすることなしに、ターンオフ時間を短縮化したアノード短絡構造を有する半導体装置に関し、産業上、各種電力変換機器の高周波化、高効率化に寄与するものである。

(従来の技術の問題点)

従来サイリスタ構造を基本とする電力用半導体系子においてはアノード領域近傍の少数キャリアの蓄積効果によりターンオフ時間の特にテイル時間が決定されるため、ターンオフ時間の短縮化の手段としてはアノード短絡構造の導入及び、もしくは重金属拡散もしくは放射線照射による欠陥の導入によるライフタイム制御が行われていた。

(発明が解決しようとする問題点)

このように重金属拡散あるいは放射線照射による欠陥の導入は、素子の特性を劣化させるおそれがある。本発明は、このような問題を解決する。

化されるが、順方向電圧降下が上昇するというトレードオフ関係が存在する。一方、GTOにおいて行なわれることの多いアノード短絡構造においては、アノード短絡による電子電流の吸いだしの効率を上げるためにアノードの短絡率が30%～50%にも達しており、必然的に順方向電圧降下の上昇ももたらしている。

(問題点を解決するための手段)

本発明者等は、アノード短絡構造に静電誘導効果を積極的に利用する構造を導入することで順方向電圧降下 V_{on} とターンオフ時間 t_{off} の間のトレードオフ関係が従来のアノード短絡もしくはライフタイム制御に比べ良好でターンオフ時間を一桁以上短縮できることを見出した。

(本発明の概要)

本発明はサイリスタ構造を有するデバイス、例えばGTO、SIサイリスタ、IGBT、MOSゲートサイリスタ等においてアノード側に短絡構造を設け、そのアノード部分と短絡部分

と短絡されている。しかも第1図の実施例の場合、 n^+ ショート部分5の接合深さは p^+ アノード部6に比べ浅く形成され、 p^+ ゲート3に挟まれたチャンネル部分の直下に形成されている。9は p^+ ゲートからの空乏層の広がる様子を示しており、10は p^+ アノード6及び n^+ ショート部5が n^- 高抵抗層4へ形成する空乏層の広がる様子を示している。

本発明のSI形アノードショートとは p^+ アノード6と n^- 層4との間の拡散電位によって決まる n^- 層4中へ広がる空乏層(その幅を W_p とする)が隣り合う p^+ アノード間で互いに接するか、完全につながっていて、 n^+ ショート部分5の前面の n^- チャンネル部分(p^+ アノードと p^+ アノード間に挟まれた n^- 層部分)にポテンシャルバリアが形成される構造である。 n^- チャンネル部分近傍のポテンシャル分布の様子を第2図に示す。第2図(a)はSI形アノードショート構造の単位構造部分の断面であり、各部分は第1図の実施例と同一の数字で

の図に静電誘導効果によるショート構造を導入することで、ターンオフ時間 t_{off} と順方向電圧降下 V_{on} との間のトレードオフ関係の良好な電力用半導体素子を提供するものである。

(実施例)

第1図は、埋め込みゲート形SIサイリスタを例に本発明の新形アノードショートを行なった実施例であり、同時に第1図は埋め込みゲート型SIサイリスタを例に静電誘導(SI)形アノードショート構造の動作説明を行なう図面である。即ち、第1図において1は n^+ カソード領域2は p^+ ゲート3と n^+ カソード1間の高抵抗 n^- エピ層を示す。3は p^+ ゲートであり、電極は紙面に示されない周辺領域で取られている。4は n^- 高抵抗層であり、 p^+ ゲート3及び p^+ アノード6間にあって本素子の耐圧を決定する部分である。 n^+ 領域5が本発明のSI形アノードショート構造のアノードショート部分である。即ち、 p^+ アノード部6と n^+ アノードショート部5はアノード電極8によっ

て示されている。第2図(b)はポテンシャル分布の様子である。 p^+E_c 及び n^+E_c はそれぞれ p^+ アノード部6と n^+ ショート部5の伝導帯を示し、 p^+E_v 及び n^+E_v はそれぞれ p^+ アノード部6と n^+ ショート部5の充満帯を示している。第2図(a)で*印は n^+ ショート部分前面のポテンシャルバリアの鞍部点を示している。第2図(b)において実線から点線になるに従って、サイリスタがターンオフしていく様子を示している。隣り合う p^+ アノード部分6によって n^- チャンネル部分が空乏化され、その空乏層が接するか、完全につながった構造となっているため電子が最も蓄積されやすい位置は G^* よりも n^- 層の内側にあることが第2図(b)よりわかる。 G^* 点に対する電子のバリア高さを ψ_{n^*} とし、一方 p^+ アノード部6から n^- 層へ向けて注入される正孔のバリア高さを ψ_{p^*} とすると、 $\psi_{p^*} > \psi_{n^*}$ であることが容易にわかる。従って、 ψ_{n^*} を超える電子が n^+ ショート部5へ流出すると、ポ

テンシャルは点線のように変化し、 p^+ アノード部6の正孔に対するポテンシャルも点線のように上昇することがわかる。即ち、わずかの電子が n^+ ショート部5へ流出するだけで圧倒的に多数の正孔注入を企めることができる構造となっている。ターンオフして行くときのアノード側フック動作での利用 G_{off} は近似的に $G_{off} \approx \frac{2k_B}{2\phi_p} \frac{n^*}{p_A} \cdot \exp \frac{\phi_p}{k_B T} (\phi_p^* - \phi_n^*)$ で表すことができる。ここで ϕ_n^* 、 ϕ_p^* は流出する電子、注入される正孔の速度、 n^* はポテンシャルに蓄積された電子密度、 p_A は p^+ アノード部分の不純物密度である、 S 形アノードショート構造では電子は2次元的に n^+ ショート部に集められるから ϕ_n^* の変化も大きく、その分だけ ϕ_p^* の変化も大きい。従ってターンオフゲインが高く、正孔注入を止めやすく、テイル時間も短縮され、ターオフ時間 t_{off} と順方向電圧降下 V_{on} との間のトレードオフの良好な電力用半導体素子が得られるわけである。

してGTOの場合にはカソード側に比べ S 形アノードショートを導入すればアノード側は寸法ピッチは微細になるであろう。しかし、GTOにおいても本発明の S 形アノードショートは有効である。

さらに、本発明のアノードショート形成位置は、第1図の実施例ではチャンネル部分の下側に正路に入っている例を示したが、必ずしもその必要はなく、電子もしくは正孔の走行時間によって決まるキャリアの横方向の広がり分程度の余裕はある。しかし、あくまで $L < 2L_n$ とし、 n^+ ショート部分の前面にポテンシャルバリアが形成されていることが望ましいことは前述の如くである。大容量の場合には素子は放射状パターン、インポリュート形パターンあるいは六角形もしくは三角形を基調とするパターンとして形成されることが多いが、本発明による S 形アノードショート構造も p^+ アノード部ピッチは $L < 2L_n$ とし、従って n^+ ショート部分のピッチも $L < 2L_n$ とする必要がある。

本発明の実施例は、埋め込みゲート形 S 形サイリスタに限らず、平面形 S 形サイリスタであってもよい。もちろん接合形のみならずMOS形であってもよい。またGTO、IGBT、MCT等においても有効である。

p^+ アノード間の寸法ピッチ L を電子の拡散距離 L_n の2倍以下となるべく配置されかつ n^+ ショート部分の前面に両側の p^+ アノード部からの空乏層の広がりによってポテンシャルバリアが形成され、蓄積電子のポテンシャルバリア ϕ_n^* に対し p^+ アノード6の正孔が注入される時に持つポテンシャルバリア ϕ_p^* が大きくなされていることが有効である。あるいは、 p^+ アノードから広がる空乏層幅 W_p (p^+ アノード6と n^- 部4間の拡散電位によって決定される) の2倍と同程度か、狭い n^- チャンネル部分が p^+ アノード間に形成されていればよい。通常 S 形サイリスタの場合このようなアノード間の寸法ピッチは、カソード間のゲート形成の寸法ピッチと同程度である。一方、現状と

あるいは p^+ (6) n^- (4) 接合間の拡散電位によって広がる空乏層幅 W_p によって素子のアノード側の n^- 層が空乏化されていることが望ましい。

本発明は Si に限るものではなく、 $GaAs$ 、 InP あるいはヘテロ接合を含む他の半導体材料を用いてもよいことはもちろんである。

(発明の効果)

本発明の S 形アノードショートの効果調べるため第3図に示すA~Fの6種類の構造の素子を試作しターンオフ時間 t_{off} と順方向電圧降下 V_{on} のトレードオフ関係を調べた。第3図の素子はすべて同一基板(厚さ $350\mu m$ 、抵抗率 $200\Omega \cdot cm$)を使用し、電流定格10A級素子、耐圧1200V級として比較した。

t_{off} は10%~90%ととして定義している。第3図において第3図(a)A構造は本発明による S 形アノードショートを示し、特に n^+ ショート部はチャンネルの直下に配置さ

れている例である。 p^+ ゲート3のピッチは33 μ である。従って p^+ アノード6も33 μ のピッチで配置されている。 p^+ アノード6の深さは約13 μ ～15 μ 、 n^+ ショート5の深さは3 μ ～6 μ である。第3図(b) B構造は第3図(a)で n^+ ショート部5を入れない例、第3図(c) C構造は p^+ アノード6が互いに面側から接し、 n^+ ショート部5の前面にベース部分が存在する例である。第3図(d) D構造は第3図(c)で n^+ ショート部5の拡散を行なわない波形構造例、第3図(e) E構造は従来形アノード構造例であり、第3図(f) F構造はカソードストライプ方向に3本アノードショート部分が約150 μ のピッチで入っている例である。第3図(a) A構造の本発明に対し、第3図(b)乃至(f)のB乃至F構造との比較としてターンオフ時間 t_{off} と、順方向電圧降下 V_{on} のトレードオフを調べた結果を第4図に示す。第4図中にA乃至Fの構造上の差を(○、△、□、●、▲、■)の

プロットで示している。本発明によるA構造の場合、他の従来例と比べ $t_{off} - V_{on}$ のトレードオフ関係が良好となることがわかる。特にE、F構造に比べ t_{off} は明らかに一桁以上短縮されており、それに対して順方向電圧降下 V_{on} の上昇は2倍以内である。1200V系、1700V系、1800V系のIGBTにおいてS I形アノードショートではなくライフタイム制御を行なった場合の曲線が同時に示されているが、 $t_{off} - V_{on}$ のトレードオフ関係はS I形アノードショート構造によるS Iサイリスタの方が良好であることがわかる。

S I形アノードショート構造による1200V-10A級素子でオフ電圧上昇率 dV/dt 耐量を調べた所、第5図に示すように950V/ μ sまで確認されている。第5図にはゲート外付け抵抗 R_g とゲート・カソード間バイアス V_{GK} を変化させて dV/dt 値をプロットしたものであり、測定方法は第5図中に示されるようにGTOにおける方法と同様に行なった

。本発明によるS I形アノードショート構造によって、ターンオフ時間 t_{off} と順方向電圧降下 V_{on} のトレードオフの良好なS Iサイリスタが得られることが埋め込みゲート構造で確認されたが、構造的にはこれに限るものではなく、平面ゲート形、切り込みゲート形、MISゲート形のS Iサイリスタであっても同様であり、また他のGTO、IGBT、MCTにおいても同様の考え方をアノードショートに適用すれば、十分な効果が期待されることは明らかである。平面的な配置が重要であるが、チャンネルに正確に投影されている必要はなく、キャリアの走行時間による横方向の広がり分程度の余裕は存在する。 p^+ アノード間ピッチが2 μ 以下従って n^+ ショート間のピッチも2 μ 以下に配置され、 p^+ アノード間に空乏層が接するか、完全に重なり合うようになされ、 n^+ ショート部分前面にポテンシャルバリアが存在するように寸法、及び不純物密度が選ばれていればよい。当該装置を構成した構造例として、

もよく、アノード近傍だけ p^- 形となっていて上記ポテンシャルバリアが形成されていれば前述の如き同様の動作が期待されるため、ターンオフ時間が短縮され、しかもターンオフ時に正孔注入が阻止されやすいためテイル電流も低減化される。本発明のアノードショート構造を適用し、さらにAu、Pt、Fe等の重金属拡散、あるいは電子線、プロトン等のライフタイム制御とを併用してもよいことはもちろんである。

本発明は、埋め込みゲート形S Iサイリスタでその効果が確認されたが、他のサイリスタ構造を有する電力用半導体素子にも適用でき、その工業的価値は極めて高い。小電力・低周波のスイッチングレギュレータ等への応用のみならず、100kHz～数MHzまで高効率に動作することが期待でき、光制御電力用半導体素子への適用も期待できることから、中電力、大電力分野にも適用可能であり、その工業的価値は高いものである。

4. 図面の簡単な説明

第1図は本発明の実施例として埋め込みゲート形S_iサイリスタを例とした断面構造例であり、同時に動作説明図となっている。第2図は本発明のS_i形アノードショート構造の動作説明のための図で、(a)はアノード近傍の断面図、(b)はポテンシャル分布、第3図(a)乃至(f)は本発明の効果を確認するために試作した各種アノード構造の異なるS_iサイリスタの断面図で、(a)は本発明の実施例(第1図)に対応する図、第4図はターンオフ時間 t_{off} と順方向電圧降下 V_{on} の関係を示す図、第5図は本発明のS_i形アノードショート構造を適用した1200V-10A級S_iサイリスタの dI/dt 耐量の測定結果である。

1…カソード電極、2… n^- 形エピタキシャル成長層、3…ゲート領域、4…高低抗層、5… n^+ アノードショート部、6… p^+ アノード部、7…カソード電極、8…アノード電極、12…ゲート電極

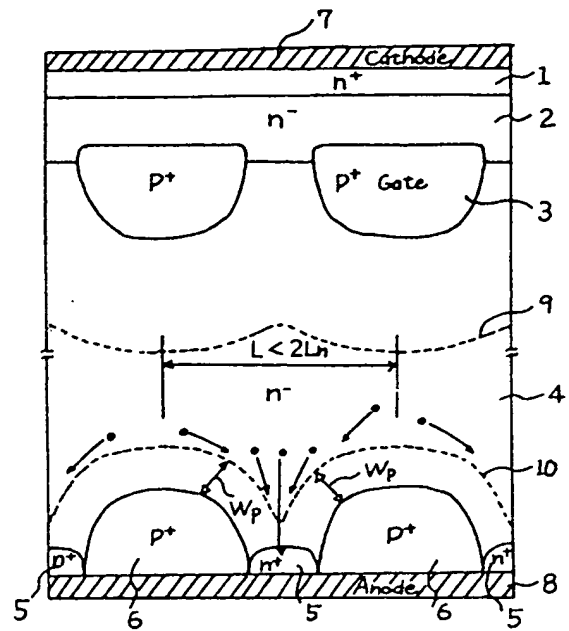


図 1

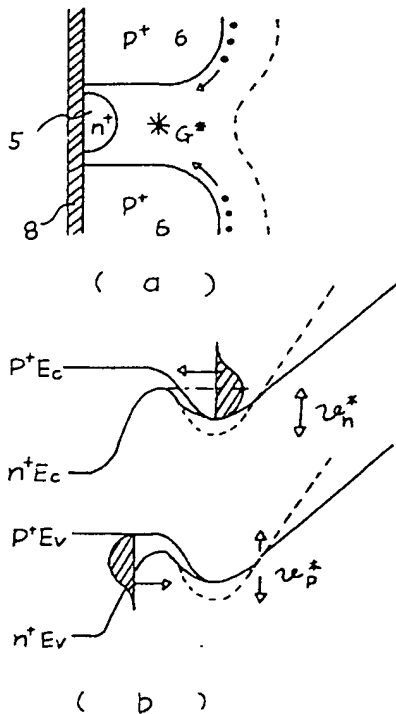


図 2

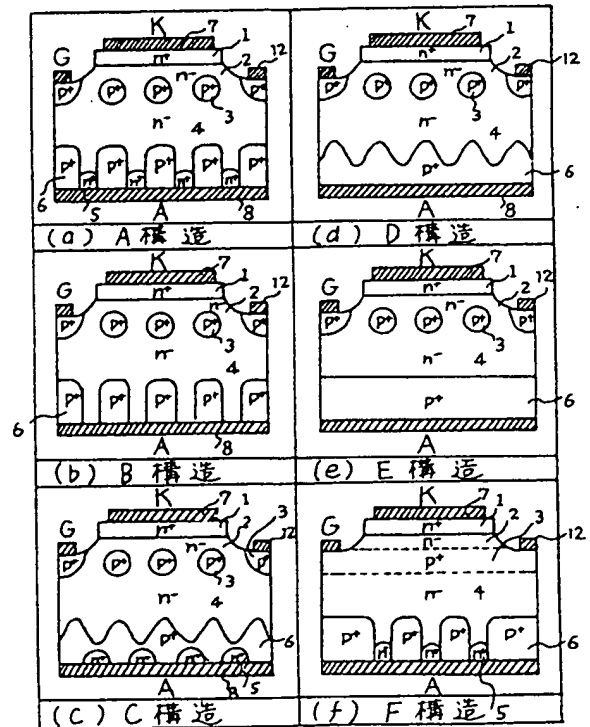
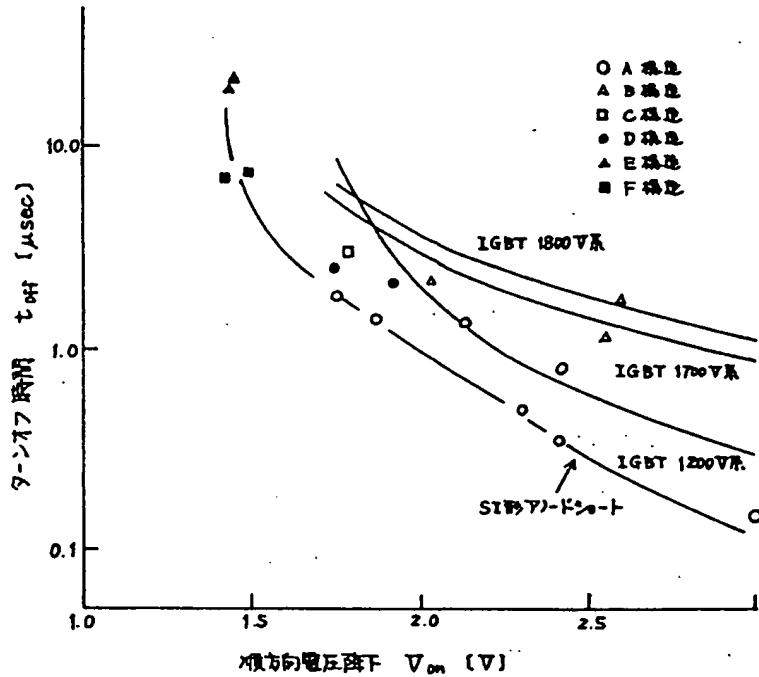
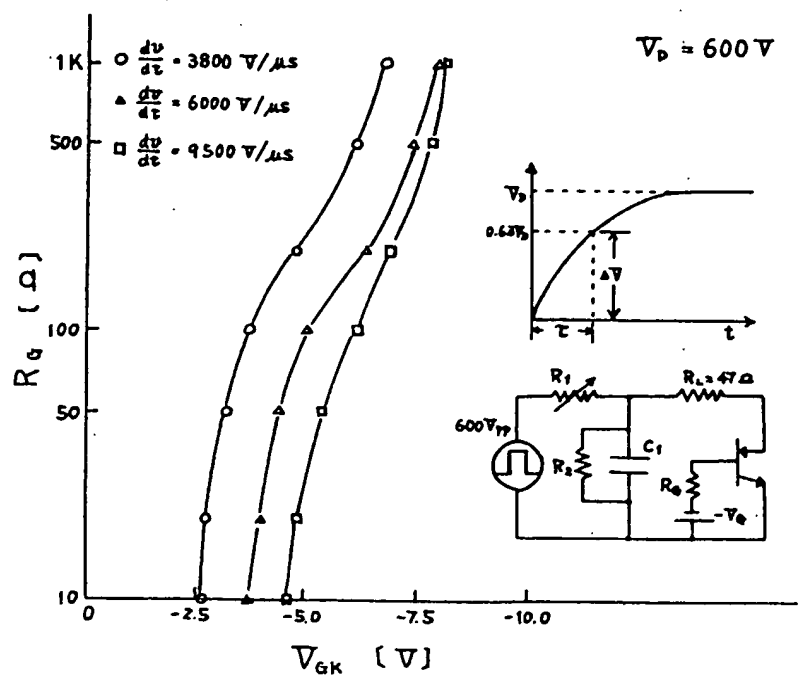


図 3



第 4 図



第 5 図

昭和63年1月19日

特許庁長官 小川 邦 夫 殿

1. 事件の表示 昭和62年特許願第25025
4号

2. 発明の名称 電力用半導体系子

3. 補正をする者

事件との関係 特許出願人

住 所 宮城県仙台市川内(番地なし)

氏 名 財団法人半導体研究振興会

理事長 岡村 進

4. 補正命令の日付(発送日)

昭和62年12月22日

5. 補正の対象

「明細書の発明の詳細な説明の欄」

「図面(第3図(補正))」

6. 補正の内容

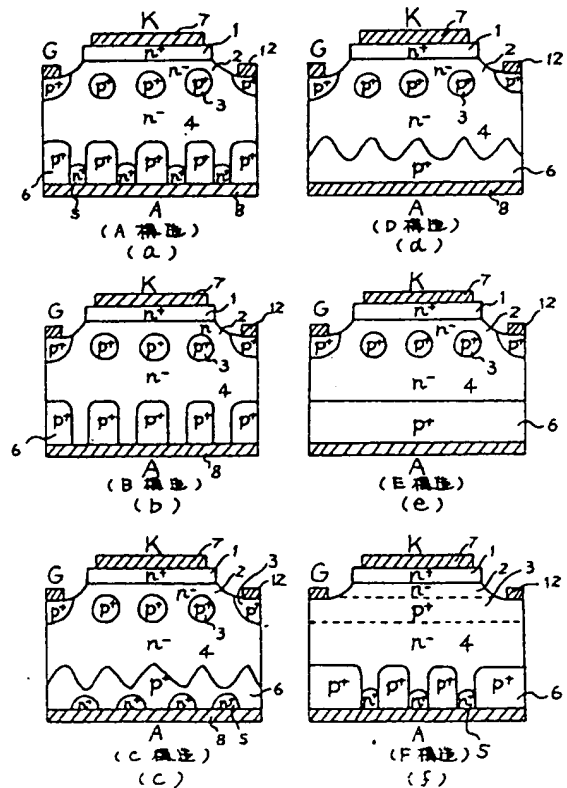
別紙の通り

7. 添付書類の目録



1. 本願明細書第10頁第10行記載の「第3図に」を「第3図(a)乃至(f)に」と補正する。

2. 図面第3図を添付図面の如く補正する。



第3図